

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330482

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 29/786

(21)Application number : 10-137236 (71)Applicant : TOSHIBA CORP

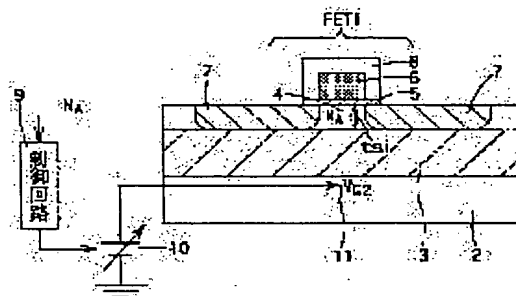
(22)Date of filing : 19.05.1998 (72)Inventor : NUMATA TOSHINORI
NOGUCHI MITSUHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To hold threshold sensitivity for variations of a SOI film thickness substantially at a minimum to set to a value prescribing a threshold by a method, wherein a back gate voltage is applied from a control circuit, in response to channel impurity concentration of transistors.

SOLUTION: An insulating film 3, such as a silicon oxide film or the like, is formed on the main face of a silicon substrate 2, and a channel region 4 of silicon having a p-type impurity concentration NA , such as boron is formed on this insulating film. A gate electrode 6 is formed via the gate insulating film 5 on the channel region 4, and a source/drain region 7 is formed on both sides of the channel region 4, to form completely depleted transistors FET1. A control circuit 9 inputs the information measuring the impurity concentration NA and calculates an optimum back gate voltage value and outputs a corresponding control signal to a variable power source 10, so that a specified voltage is applied on a back gate 11. This application substantially minimizes the threshold sensitivity for variations of a SOI film thickness by controlling the threshold.



LEGAL STATUS

[Date of request for examination] 01.11.2001

[Date of sending the examiner's decision of rejection] 14.03.2003

[Kind of final disposal of application other than the examiner's decision of

(11)特許出願公開番号

(43)公開日 平成11年(1999)11月30日

6 1 7 N
6 1 3 A

【特許請求の範囲】

【請求項1】バックゲートが形成されてなる支持基板と、

前記支持基板上に設けられた絶縁膜と、

前記絶縁膜上に設けられた第1の半導体層と、

前記支持基板の前記バックゲートに対向して前記第1の半導体層の一部をチャネル領域としたMISFETトランジスタと、

前記第1の半導体層の不純物濃度またはキャリア濃度に応じて変化する測定信号を出力するダミー素子と、

前記ダミー素子から出力される前記測定信号に応じて前記バックゲートに電圧を印加する電圧印加手段と、

を備えたことを特徴とする半導体装置。

【請求項2】第1及び第2のバックゲートが形成されてなる支持基板と、

前記支持基板上に設けられた絶縁膜と、

前記絶縁膜上に設けられ第1の膜厚を有する第1の半導体層と、

前記支持基板の前記第1のバックゲートに対向して前記第1の半導体層の一部をチャネル領域とした第1のMISFETトランジスタと、

前記絶縁膜上に設けられ前記第1の膜厚とは異なる第2の膜厚を有する第2の半導体層と、

前記支持基板の前記第2のバックゲートに対向して前記第2の半導体層の一部をチャネル領域とした第2のMISFETトランジスタと、

前記第1のバックゲートに、前記第2のバックゲートの電圧とは独立に電圧を印加する電圧印加手段と、

を備えたことを特徴とする半導体装置。

【請求項3】バックゲートが形成されてなる支持基板と、

前記支持基板上に設けられた絶縁膜と、

前記絶縁膜上に設けられた第1の半導体層と、

前記支持基板の前記バックゲートに対向して前記第1の半導体層の一部をチャネル領域としたMISFETトランジスタと、

前記バックゲートに印加する電圧に対応する情報を記憶する記憶素子と、

前記記憶素子に記憶された前記情報に基づいて前記バックゲートに電圧を印加する電圧印加手段と、

を備えたことを特徴とする半導体装置。

【請求項4】第1及び第2のバックゲートが形成されてなる支持基板と、

前記支持基板上に設けられた絶縁膜と、

前記絶縁膜上に設けられ第1の膜厚を有する第1の半導体層と、

前記支持基板の前記第1のバックゲートに対向して前記第1の半導体層の一部をチャネル領域とした第1のMISFETトランジスタと、

前記第1のバックゲートに印加する電圧に対応する情報

を記憶する第1の記憶素子と、

前記絶縁膜上に設けられ前記第1の膜厚とは異なる第2の膜厚を有する第2の半導体層と、

前記支持基板の前記第2のバックゲートに対向して前記第2の半導体層の一部をチャネル領域とした第2のMISFETトランジスタと、

前記第2のバックゲートの電圧とは独立に、前記第1の記憶素子に記憶された前記情報に基づいて前記第1のバックゲートに電圧を印加する電圧印加手段と、

を備えたことを特徴とする半導体装置。

【請求項5】前記記憶素子は、前記第1の半導体層の不純物濃度またはキャリア濃度に応じた情報を記憶することを特徴とする請求項3または4に記載の半導体装置。

【請求項6】前記MISFETトランジスタは、前記チャネル領域が完全に空乏化した完全空乏型トランジスタであることを特徴とする請求項1～5のいずれか1つに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関する。より具体的には、本発明は、支持基板上に絶縁膜を介して設けられた半導体層上に完全空乏化MISFET (Metal Insulator Semiconductor Field Effect Transistor) を形成してなる半導体装置に関する。

【0002】

【従来の技術】SOI (Silicon on Insulator) すなわち絶縁性の基板上に形成された半導体層を用いて形成されたFET型トランジスタは、ソース・ドレイン間の寄生容量を、バルク (bulk) の半導体基板上に形成したFETより小さくすることができることから、低消費電力デバイスあるいは高速CPUなどの高速動作回路への応用が期待されている。特に、半導体層であるSOI膜の厚さをチャネル領域の空乏層の厚さ以下にすると、チャネル領域を完全に空乏化することができる。その結果として、空乏層より厚い半導体層を用いて形成されたSOIトランジスタで問題となるキンク特性や電流オーバーシュート効果などの好ましくない現象を、解消または抑制することができる。

【0003】このようにチャネル領域を全て空乏化することができるトランジスタ (以下、これを「完全空乏化トランジスタ」と呼ぶ) は、さらに、短チャネル効果の抑制、パンチスルー耐性の向上、サブスレッショルド係数の改善、チャネル移動度の増大などの多岐にわたる利点が得られる。

【0004】

【発明が解決しようとする課題】しかし、完全空乏化トランジスタには、例えば、プロセス条件のバラツキによって、チャネル領域の半導体層の不純物濃度やSOI膜厚が変化すると、しきい値が変化してしまうという問題があった。

【0005】このようなプロセス条件のバラツキに起因する問題に対処する方法として、従来、例えば、特開平9-312401号公報において開示されているように、SOI層の下、絶縁層の下、の支持基板にバックゲートを設け、そのバックゲートに印加する電圧を動作時と待機時とで変化させて、しきい値を制御する例が知られている。

【0006】しかし、この方法においては、バックゲートの電圧は、SOI膜厚のバラツキや基板濃度のバラツキに無関係に決定される。そして、例えばSOI膜厚バラツキに対するしきい値感度を極小にするバックゲート電圧印加手段やその具体的な構成については何ら開示されていない。 10

【0007】つまり、従来の完全空乏化トランジスタにおける、しきい値感度を低減する手法および構造では、SOI膜厚バラツキに対するしきい値感度を低減するためのバックゲート電圧制御について検討されてきたが、SOI膜厚の最適値や、不純物濃度との関係については考慮されていなかった。そのため、しきい値を規定の値に設定し、かつSOI層の膜厚や不純物濃度のバラツキに対するしきい値感度を小さくすることは困難であった。 20

【0008】本発明は、かかる課題の認識に基づいてなされたものである。すなわち、その目的とするところは、SOI層を用いた完全空乏化MISFETトランジスタを形成してなる半導体装置において、MISFETのチャネル不純物濃度に依存して、バックゲート電圧を変化させることによって、不純物濃度が変動しても、SOI膜厚バラツキに対するしきい値感度をほぼ極小に保ったままで、しきい値を規定する値にできるようにする半導体装置を提供することにある。 30

【0009】

【課題を解決するための手段】本発明の骨子は、絶縁膜を介してバックゲートと対向した半導体層に、完全空乏化トランジスタを形成してなる半導体装置において、前記トランジスタのチャネル不純物濃度に応じてバックゲート電圧を制御できる制御回路を設け、不純物濃度に応じたバックゲート電圧をバックゲートに印加することを特徴とする半導体装置を提供することにある。

【0010】なお、完全空乏化SOIトランジスタを形成する半導体層は、規定のしきい値で、しきい値変動が小さくなるSOI膜厚に設定し、さらに、不純物濃度に関しては、半導体層の絶縁膜に接した表面がaccumulationとinversionとで決まる範囲内に、例えば中間に、設定する。ここで、規定のしきい値が異なると、それぞれしきい値変動が抑えられる膜厚が異なる。 40

【0011】すなわち、本発明の半導体装置は、バックゲートが形成されてなる支持基板と、前記支持基板上に設けられた絶縁膜と、前記絶縁膜上に設けられた第1の半導体層と、前記支持基板の前記バックゲートに対向し 50

て前記第1の半導体層の一部をチャネル領域としたMISFETトランジスタと、前記第1の半導体層の不純物濃度またはキャリア濃度に応じて変化する測定信号を出力するダミー素子と、前記ダミー素子から出力される前記測定信号に応じて前記バックゲートに電圧を印加する電圧印加手段と、を備えたことを特徴とする。

【0012】または、本発明の半導体装置は、第1及び第2のバックゲートが形成されてなる支持基板と、前記支持基板上に設けられた絶縁膜と、前記絶縁膜上に設けられ第1の膜厚を有する第1の半導体層と、前記支持基板の前記第1のバックゲートに対向して前記第1の半導体層の一部をチャネル領域とした第1のMISFETトランジスタと、前記絶縁膜上に設けられ前記第1の膜厚とは異なる第2の膜厚を有する第2の半導体層と、前記支持基板の前記第2のバックゲートに対向して前記第2の半導体層の一部をチャネル領域とした第2のMISFETトランジスタと、前記第1のバックゲートに、前記第2のバックゲートの電圧とは独立に電圧を印加する電圧印加手段と、を備えたことを特徴とする。

【0013】または、本発明の半導体装置は、バックゲートが形成されてなる支持基板と、前記支持基板上に設けられた絶縁膜と、前記絶縁膜上に設けられた第1の半導体層と、前記支持基板の前記バックゲートに対向して前記第1の半導体層の一部をチャネル領域としたMISFETトランジスタと、前記バックゲートに印加する電圧に対応する情報を記憶する記憶素子と、前記記憶素子に記憶された前記情報に基づいて前記バックゲートに電圧を印加する電圧印加手段と、を備えたことを特徴とする。

【0014】または、本発明の半導体装置は、第1及び第2のバックゲートが形成されてなる支持基板と、前記支持基板上に設けられた絶縁膜と、前記絶縁膜上に設けられ第1の膜厚を有する第1の半導体層と、前記支持基板の前記第1のバックゲートに対向して前記第1の半導体層の一部をチャネル領域とした第1のMISFETトランジスタと、前記第1のバックゲートに印加する電圧に対応する情報を記憶する第1の記憶素子と、前記絶縁膜上に設けられ前記第1の膜厚とは異なる第2の膜厚を有する第2の半導体層と、前記支持基板の前記第2のバックゲートに対向して前記第2の半導体層の一部をチャネル領域とした第2のMISFETトランジスタと、前記第2のバックゲートの電圧とは独立に、前記第1の記憶素子に記憶された前記情報に基づいて前記第1のバックゲートに電圧を印加する電圧印加手段と、を備えたことを特徴とする。

【0015】ここで、前記記憶素子は、前記第1の半導体層の不純物濃度またはキャリア濃度に応じた情報を記憶することを特徴とする。

【0016】また、前記MISFETトランジスタは、前記チャネル領域が完全に空乏化した完全空乏型トラン

ジスタであることを特徴とする。

【0017】また、前記ダミー素子は、前記第1または第2の半導体層の不純物濃度またはキャリア濃度に応じてその抵抗値、容量値、またはインダクタンスの少なくともいずれかが変化するインピーダンス素子であることを特徴とする。

【0018】また、前記MISFETトランジスタのチャネル領域が形成された前記第1または第2の半導体層の厚さは、40nm乃至100nmの範囲にあり、不純物濃度は $3 \times 10^{16} \text{ cm}^{-3}$ 乃至 $3 \times 10^{17} \text{ cm}^{-3}$ の範囲にあることを特徴とする。

【0019】また、前記支持基板は、半導体基板で形成され、前記バックゲートの不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 乃至 $1 \times 10^{20} \text{ cm}^{-3}$ の範囲にあることを特徴とする。

【0020】また、前記ダミー素子により前記不純物濃度または前記キャリア濃度を測定する回路がMISFETトランジスタと同一の半導体層上に設けられていることを特徴とする。

【0021】また、前記第1の半導体層は前記第2の半導体層よりも膜厚が厚く、且つ、前記第1の半導体層は、前記第2の半導体層よりも不純物濃度が低いことを特徴とする。

【0022】また、前記第1のMISFETトランジスタのしきい値は、前記第2のMISFETトランジスタのしきい値より小さいことを特徴とする。

【0023】

【発明の実施の形態】本発明によれば、SOI層の膜厚を、しきい値変動が小さくなる膜厚に設定する。さらに、ダミー素子を用いてチャネル領域の不純物濃度を測定し、その測定値に基づいてバックゲート電圧を調節することにより所望のしきい値を維持することができる。よって、完全空乏化トランジスタで問題となるSOI膜厚や不純物濃度のバラツキに対するしきい値感度をほぼ最小に保ったままで、かつしきい値を所望の値にすることが可能である。

【0024】以下に図面を参照しつつ本発明の実施の形態について説明する。なお、以下の説明では、n型MOSFETを例に挙げて説明する。また、SOI層の素子分離のパターン形状については、本発明においては本質的ではないので特に触れない。

【0025】図1は、本発明の第1の具体例に係わる半導体装置を表す要部断面図である。すなわち、同図において、6はゲート電極、7はソース・ドレイン領域、2は支持基板、3は絶縁膜、4はチャネル領域、5はゲート絶縁膜、8は絶縁膜、9は制御回路、10は可変電源（例えば出力電流または電圧を制御入力の電圧または電流によって制御する電源）、そして11はバックゲートを表す。

【0026】その具体的な構成例について説明すれば、

以下の如くである。すなわち、シリコンからなる支持基板2の主面上に、例えば厚さ10nm～1μmのシリコン酸化膜やシリコン窒化膜からなる絶縁膜3が形成され、この絶縁膜3上に膜厚 t_{si} 、ボロンまたはインジウムなどのp型不純物濃度 N_A を有するシリコンなどからなるチャネル領域4が形成されている。膜厚 t_{si} は、例えば1nm～500nmとし、不純物濃度 N_A は、例えば $10^{16} \sim 10^{19} \text{ cm}^{-3}$ とすることができる。

【0027】このチャネル領域4の上に、ゲート絶縁膜5を介して、ゲート電極6が形成されている。ゲート絶縁膜5の材料としては、例えば、シリコン酸化膜、シリコン窒化膜、タンタル酸化膜、チタン酸化膜などを用いることができ、その厚さは1nm～200nmとすることができる。ゲート電極6の材料としては、例えば、多結晶シリコン、アルミニウム（Al）、タングステン（W）、チタンナイトライド（TiN）などを用いることができ、その厚さは10nm～1μmとすることができる。

【0028】そして、このゲート電極6は、その側壁を例えばシリコン酸化膜、シリコン窒化膜からなる絶縁膜8で覆われて絶縁されている。チャネル領域4の両側には、n型不純物となる砒素（As）、リン（P）、アンチモン（Sb）などを、例えば $10^{18} \sim 10^{21} \text{ cm}^{-3}$ 添加したソース・ドレイン領域7が形成されている。ここでチャネル領域4は、チャネル領域4と絶縁膜5との界面に反転層が形成された状態で完全に空乏化しており、完全空乏化トランジスタFET1を形成している。

【0029】一方、制御回路9は、後に詳述するように、半導体層、特にチャネル領域4における不純物濃度 N_A を測定する図示しないダミー素子からの電圧、電流、容量または抵抗値の情報を入力して最適なバックゲート電圧値を算出し、それに対応する制御信号を出力する。可変電源10は、制御回路9から出力された制御信号に基づいて所定のバックゲート電圧をバックゲート11に印加する。

【0030】次に、図1に示した半導体装置の製造工程を説明する。ここでは、支持基板2としてシリコン基板、絶縁膜3としてシリコン酸化膜、そしてチャネル領域4やソース・ドレイン領域7としてシリコンからなるSOI層をそれぞれ用いることとする。このようなSOI基板の作成方法としては、片面を酸化した2枚のシリコン基板を酸化膜面を密着させ1000～1200℃で熱処理して張り合わせる方法を用いることができる。または、シリコン基板に酸素イオンを、加速電圧160keVドーズ量 $1.5 \sim 3.0 \times 10^{18} \text{ atom/cm}^2$ 程度の条件でイオン注入し、1300～1350℃で熱処理することにより、埋め込み酸化膜3を形成する方法でもよい。

【0031】絶縁膜3上の半導体層は、ポリッシングやイオンエッチング、あるいはウェットエッチングにより

薄膜化し、40nm～1μmの厚さの均一なSOI膜を形成する。

【0032】次に、バックゲート11として、リソグラフィとイオン注入により支持基板2に不純物添加領域を形成する。すなわち、リソグラフィによりMISFETトランジスタを形成する領域の絶縁膜3を介して支持基板2へ例えば、燐(P)またはヒ素(As)を、加速電圧50～700keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{16}$ atom/cm²程度の条件で注入することにより、バックゲート11を形成することができる。但し、このようなバックゲート11の形成工程は、絶縁膜3やSOI層4の形成よりも前に行うようにしても良い。

【0033】次に、チャネル領域4の不純物濃度が $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲になるようにイオン注入する。

【0034】この後、ゲート酸化膜5を形成し、さらにゲート電極6や絶縁膜8を形成することにより、MISFET1の要部が完成する。

【0035】以上説明した製造工程においては、特に、完全空乏化SOIトランジスタでしきい値を-0.1～0.4Vの範囲に設定するために、チャネル層4のSOI膜厚、不純物濃度をそれぞれ40nm～1μm、 $3 \times 10^{16} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ の範囲とすることが望ましい。

【0036】次に、本発明の半導体装置におけるチャネル領域4のSOI膜厚 t_{si} 、不純物濃度 N_A 、そしてバックゲート電圧 V_{G2} の最適範囲について説明する。

【0037】図2は、本発明者の計算により得られた完全空乏化FETのSOI層としきい値との関係を表すグラフ図である。ここでは、絶縁体基板3として膜厚80nmのシリコン酸化膜、バックゲート11に $1 \times 10^{20} \text{ cm}^{-3}$ のp型Si基板、ゲート電極6として $1 \times 10^{20} \text{ cm}^{-3}$ のn型ポリシリコン(多結晶シリコン)、そしてゲート酸化膜5としてシリコン酸化膜3nmからなるn型MOSFETをモデルとした。そして、バックゲート電圧を0V、チャネル領域4の不純物濃度 $1 \times 10^{17} \text{ cm}^{-3}$ とした時の、チャネル領域4の膜厚すなわちSOI膜厚 t_{si} としきい値 V_{th} の関係を図2において実線で示した。

【0038】このグラフ図に示した関係の算出にあたっては、完全空乏化トランジスタのしきい値を表す式として文献("Electrical characterization of Silicon-o

n-Insulator Materials and Devices" Sorin Cristloveanu and Sheng S. Li 著、Kluwer Academic Publisher s, (1995))に記載されているものと同様の式を用い、さらに表面量子効果として文献(M. J. van Dort, P. H. Werlee, A. J. Walker, C. A. H. Juffermans and H. Lifka: IEDM91 p495, (1991)), (J. W. Slotboom and H. C. de Graaff, IEEE trans. Electron Devices, vol. ED-24, No. 8, pp. 1123-1125, (1977)), ("デバイス物理のための量子力学" David K. Ferry 著、長岡洋介他訳、丸善、(1996))に記載されているものを考慮した。

【0039】図2からわかるように、トランジスタのしきい値は、チャネル領域4の膜厚 t_{si} に対して、極小値(図2中の矢印)を有する。この極小値の付近においては、膜厚 t_{si} の変化に対して、しきい値の変化量が最小となる。つまり、SOI層の膜厚のバラツキに対する、しきい値感度は極めて小さくなる。

【0040】また、バックゲート電圧を印加することにより、チャネル領域4のうちの絶縁膜3に接した表面の電子状態が蓄積(図2中の破線 $V_{th1, ac2}$)、または反転(図2中の破線 $V_{th1, inv2}$)となる範囲内で、しきい値を変えることができる。従って、所定のバックゲート電圧を印加することにより、しきい値を制御して、設定したいしきい値が図2での極小値と一致するようにチャネル領域4の膜厚を形成した完全空乏化トランジスタは、設定した値でSOI膜厚バラツキに対するしきい値感度をほぼ最小とすることができる。

【0041】次に、図2に示したようなSOIのしきい値の計算方法について詳細に説明する。以下の説明では、まず、古典論モデルに基づく計算方法について説明し、次にチャネル反転層の表面量子化の効果の補正を加えた計算方法について説明する。

【0042】まず、バックゲート電圧を印加できる完全空乏化トランジスタにおいては、しきい値は、チャネル領域4の絶縁膜3に接した表面における電子状態に依存する。そして、絶縁膜3に接したチャネル領域4の表面の状態はバックゲート電圧により、蓄積状態から反転状態まで変化させることが可能である。

【0043】この時のゲート電圧 V_{G1} と表面ポテンシャルとの関係は次式で表される。

【0044】

【数1】

$$V_{G1} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) \Phi_{S1} - \frac{C_{Si}}{C_{OX1}} \Phi_{S2} - \frac{\frac{1}{2} Q_{depl} + Q_{inv1}}{C_{OX1}} \quad (1)$$

ここで、 Φ_{S1} 、 Φ_{S2} はそれぞれチャネル領域4のゲート絶縁膜5に接した表面、絶縁膜3に接した表面でのフェルミポテンシャル、 Φ_{MS1} はゲート絶縁膜5側のゲート電極6との仕事関数の差、 Q_{OX1} はゲート絶縁膜5中の

固定電荷密度、 C_{OX1} はゲート絶縁膜5のキャパシタンス、 Q_{inv1} はチャネル領域4におけるチャネルの反転層電荷を表す。また、 Q_{depl} はチャネル領域4での空乏層電荷を表し、電子の電荷量 q 、チャネル領域4の不純物

濃度 N_A 、チャネル領域4の膜厚 t_{si} を用いて $-q N_A t_{si}$ で表される。また、フェルミポテンシャル Φ_{pl} は、シリコンの真性キャリア密度 n_i 、ボルツマン定数 k 、温度 T 、電子の電荷量 q を用いて、 $\Phi_p = (kT/q) \ln(N_A/n_i)$ と表され、また、 $C_{si} = \epsilon_{si}/t_{si}$ である (ϵ_{si} はシリコンの誘電率)。

【0045】完全空乏化トランジスタのしきい値 V_{th} は、絶縁膜3に接した側のチャネル領域4の表面の電子状態によって以下のように場合分けして表すことがで

$$V_{th1, acc2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + (1 + \frac{C_{Si}}{C_{OX1}}) 2\Phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (2)$$

ここで $V_{th1, acc2}$ の添字である「1」と「2」は、チャネル領域4のゲート絶縁膜5と接する表面、絶縁膜3と接する表面での状態をそれぞれ表す。式(2)の場合、絶縁膜3に接したチャネル領域4の表面が蓄積状態である場合を示している。

$$V_{th1, inv2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\Phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (3)$$

③back surfaceが空乏 (depletion) した時は、そのポテンシャルは蓄積時と反転時の中間となり、 Φ_{s2} はバックゲート電圧 V_{G2} に依存する。この時、絶縁膜3と接したチャネル領域4の表面が蓄積、反転した時のバックゲート電圧 V_{G2} をそれぞれ $V_{G2, acc}$ 、 $V_{G2, inv}$ とすると、 $V_{G2, acc} < V_{G2} < V_{G2, inv}$ の条件を満たす。さらに、チャネル領域4の容量 C_{si} 、および絶縁膜3の容量 C_{OX2} が直列に接続されているから、 Φ_{s2} は、

$$V_{th1, dep12} = V_{th1, acc2} - \frac{C_{Si} C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})} (V_{G2} - V_{G2, acc}) \quad (4)$$

ここで $V_{G2, acc}$ は絶縁膜3について表面と対称であると考えて、 $\Phi_{s1} = 2\Phi_F$ 、 $\Phi_{s2} = 0$ の条件から以下のようになる。

$$V_{G2, acc} = \Phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} - \frac{C_{Si}}{C_{OX2}} 2\Phi_F - \frac{Q_{depl}}{2C_{OX2}} \quad (5)$$

図3は、式(2)～(5)により、チャネル領域4の不純物濃度 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ 、SOI膜厚 $t_{si} = 60 \text{ nm}$ 、 $\Phi_{MS1} = -1 \text{ V}$ 、 $Q_{OX1} = Q_{OX2} = 0$ の場合に 40 ついて計算したバックゲート電圧に対するしきい値の関係を表したグラフである。完全空乏化トランジスタにおいて、チャネル領域4の絶縁膜3に接する表面での電子状態が、反転または蓄積になると、その表面でのポテンシャル Φ_{s2} は一定となる。このため、それ以上のバックゲート電圧を印加してもしきい値はバックゲート電圧に依存せず一定値となる。つまり、完全空乏化トランジスタのしきい値は、チャネル領域4の絶縁膜3に接した表面の電子状態が、蓄積した時のしきい値と反転した時のしきい値の範囲内に限定される。

きる。なお、 $V_{G1} = V_{th}$ となる時の表面ポテンシャル Φ_{si} とチャネルの反転層電荷 Q_{inv1} は、ゲート電圧がしきい値である条件からそれぞれ $\Phi_{si} = 2\Phi_F$ 、 $Q_{inv1} = 0$ となる。

【0046】①back surfaceが蓄積 (accumulation) した時は、 $\Phi_{s2} = 0$ より

【0047】

【数2】

【0048】②back surfaceが反転 (inversion) した時は、 $\Phi_{s2} = 2\Phi_F$ より

【0049】

【数3】

【0050】

【数4】

$$\Phi_{s2} = \frac{C_{OX2}}{(C_{si} + C_{OX2})} (V_{G2} - V_{G2, acc})$$

と表される。よってしきい値は次式で表される。

【0051】

【数5】

【0052】

【数6】

【0053】図4は、チャネル領域4の不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ としたときの、式(2)～(5)の古典論モデルを用いて計算したしきい値のチャネル領域4のSOI膜厚の依存性を示したグラフである。同図においては、 $V_{th1, acc2}$ を破線、 $V_{th1, inv2}$ を点線で、そして $V_{G2} = 0 \text{ V}$ におけるSOI膜厚に対するしきい値を実線で示している。 $V_{th1, acc2}$ 、 $V_{th1, inv2}$ は V_{G2} に依存せずチャネル領域4の膜厚により決まる。一方 $V_{th1, dep12}$ はバックゲート電圧 V_{G2} によりしきい値が変化する。図4からわかるように、古典論モデルでの $V_{th1, dep12}$ はSOI膜厚が薄くなるとSOI空乏層に含まれる空乏層電荷 ($-Q_{depl}$) が減少するため線形に減少する。

【0054】次に、以上説明した古典論モデルにチャネル反転層の表面量子化補正を加えた場合について説明する。このような表面量子化補正によるしきい値変化は解析的に求めることができる。ここで、表面量子化補正は、表面ポテンシャルの表面バンド曲がりの増加量 $\Delta\Psi$

$$\Delta\Psi_S = (E_0 - E_C - \Delta E_g) / q + E_S \Delta z \quad (6)$$

で表される。この式に $2\Phi_F$ を加えたものをゲート電圧がしきい値である時の表面ポテンシャル Φ_{S1} とした。

【0057】図5は、表面量子化補正を説明するためのバンド図である。

【0058】式(6)は、図5に示したように伝導帯 E_C から最低エネルギー準位 E_0 へのシフト $E_0 - E_C$ 、高濃度のチャネル不純物添加によるバンドギャップの縮小 (bandgap narrowing) 効果 ΔE_g 、そして量子論に

$$E_0 - E_C = \frac{h^2}{2m} \left(\frac{9\pi m q E_S}{4h^2} \right)^{2/3} \quad (7)$$

ここで E_S は表面電界を表し、

【0061】

$$E_S = \left(\frac{\Phi_{S1} - \Phi_{S2}}{t_{Si}} + \frac{q N_A t_{Si}}{2 \epsilon_{Si}} \right) \quad (8)$$

と表される。

【0062】また、高濃度のチャネル不純物添加による bandgap narrowing 効果 ΔE_g は、

$$\Delta E_g / q = \Delta V_{go}(N_A) = 9 \left\{ 1 + \ln \left(\frac{N_A}{10^{17}} \right) + \sqrt{1 + \ln \left(\frac{N_A}{10^{17}} \right)^2 + 0.5} \right\} \quad [\text{mV}] \quad (9)$$

$E_S \Delta z$ の近似式は、

【0064】

$$E_S \Delta z \approx \max \left((1 - (1/3)^{2/3}) (E_0 - E_C) - \frac{kT}{q}, 0 \right) \quad (10)$$

と表される。

【0065】また、有効界面量子効果により、反転層電荷の中心が Si 膜と SiO_2 膜との界面から Δz だけ離れているから、ゲート酸化膜容量 C_{OX1} は、 $C_{OX1} = \epsilon_{OX} / (t_{OX1} + \epsilon_{Si} / \epsilon_{OX} \Delta z)$ と表される。

【0066】以上説明したように量子補正を考慮して得られた、チャネル領域4の SOI 膜厚に対するしきい値の依存性が図2である。図2からわかるように、バックゲート電圧を一定とし、チャネル領域4の膜厚を変化させた場合には、しきい値が極小値 (図2中の矢印) を取る。そしてさらにチャネル領域4の膜厚が薄くなるとしきい値は増加する。これは、バックゲート電圧が一定の条件でチャネル領域4の膜厚が薄くなると Si と SiO_2 との界面の電界 E_S が大きくなるために、量子準位のエネルギーが大きくなり、表面が反転するのにより大きなゲート電圧が必要となるからである。

【0067】このように、量子補正を考慮した計算を用

s と反転層容量によるゲート容量の減少を考慮した。

【0055】表面ポテンシャルの表面量子化補正による表面バンド曲がりの増加量は、

【0056】

【数7】

よる表面電荷密度の最大となる位置のシフト Δz による表面電位の変化 $E_S \Delta z$ から構成されており、それぞれの項は以下のように表される。

【0059】最低エネルギー準位 E_0 へのシフト $E_0 - E_C$ は、

【0060】

【数8】

【数9】

【0063】

【数10】

【数11】

いることによって、チャネル領域4の膜厚バラツキに対し、しきい値感度が極小となるチャネル領域4の膜厚が存在することが説明される。

【0068】図6は、図2と同一のFETのモデルにおいて、図2でしきい値が極小となるチャネル領域4の SOI 膜厚 t_{Si} と印加するバックゲート電圧 V_{G2} とを、チャネル領域4の不純物濃度 N_A に対して示したグラフである。ここでは、しきい値の設定値がそれぞれ0.1 V、0.2 V、0.3 Vの場合について示した。

【0069】図6からわかるように、しきい値が設定した値となり、かつ膜厚バラツキに対するしきい値感度が最小となる SOI 膜厚 t_{Si} は、チャネル領域4の不純物濃度 N_A に対する依存性が低いことが、本発明者の詳細な検討により新たに明らかとなった。つまり、 SOI 膜厚 t_{Si} の最適値は、不純物濃度 N_A に対してあまり変化せず、ほぼ一定の値をとる。

【0070】また、設定するしきい値が異なると、 SOI

膜厚のパラツキに対するしきい値感度がほぼ最小となるSOI膜厚 t_{Si} は異なることがわかった。ここで、 t_{Si} の最適値としきい値 V_{th} との関係は、 $t_{Si} = 2.50 V_{th}^2 - 2.75 V_{th} + 1.05$ (nm)で、 V_{th} が0ボルト以上0.5ボルト以下は近似できる。よって、 V_{th} が任意の値でも、 t_{Si} の最適値を求めることができる。また、しきい値が設定した値となるために必要なバックゲート電圧 V_{G2} は、チャネル領域4の不純物濃度 N_A に対して、ほぼ線形に増加することが新たに明らかになった。

【0071】従って、設定したいしきい値に応じて図6にもとづいて決定したSOI膜厚 t_{Si} 、不純物濃度 N_A で作成した場合には、不純物濃度 N_A が例えばプロセスのパラツキ等で所望の値からずれたとしても、チャネル領域4の不純物濃度を測定し、それに応じて、しきい値が設定した大きさとなるのに必要なバックゲート電圧を印加することにより、SOI膜厚に対するしきい値感度が最小で、且つ設定したしきい値を有する半導体装置を実現することができる。

【0072】ここで、膜厚パラツキに対するしきい値感度がほぼ最小となるSOI膜厚が、チャネル領域4の不純物濃度 N_A に対してほぼ一定となるのは、式(6)の量子力学補正項が t_{Si} に強く依存し、 N_A にはあまり依存しないこと、および、式(5)の空乏層電荷の Q_{dep1} が、 N_A が変化しても V_{G2} を変化させることによりほぼ補償することができることによる。

【0073】この特徴により、もちろん、チャネル領域4の濃度分布が均一でなく所定の不純物プロファイルを有するような場合でも、式(2)で $Q_{dep1} / 2 C_{OX1}$ が2ΦFよりも小さい場合には、上記の不純物濃度 N_A に対してしきい値感度がほぼ一定となる特徴は維持される。

【0074】また、図7に示したような、LOCOS犠牲酸化などの方法により形成されたりセス(Recess)ゲート構造を有するMISFETの場合には、LOCOS端部のバースピークにより、チャネル領域4の膜厚が一定でない場合が多い。すなわち、チャネル領域の膜厚は、ソース・ドレイン寄りで厚く、中央付近で薄くなる。図8は、LOCOS犠牲酸化法によるリセス型ゲート構造の製造工程を表す概略工程断面図である。例えば、厚さ20nm～1μmのシリコンなどのSOI層4の上に、厚さが5～100nm程度のシリコン酸化膜14を形成し、その上に例えば膜厚が50～200nmのシリコン窒化膜からなる酸化防止膜20を堆積する。次に、図8(a)に示したように、熱酸化法により、LOCOSを形成する。さらに、図8(b)に示したように、酸化防止膜20をマスクとしてLOCOS酸化膜をイオンエッチングし、ゲート形成領域を形成する。この方法によると、ゲート電極をセルフアラインに形成できるが、LOCOSのバースピークがゲート形成領域に残るために、チャネル領域のSOI膜厚が図示したように

不均一になりやすい。このようにチャネル領域の膜厚が不均一になると、しきい値の安定性が劣化して問題となる。

【0075】これに対して、本発明によれば、チャネルの膜厚が均一でない場合にも、例えばチャネルの中央部のSOI膜厚で、所定のしきい値に対して膜厚ばらつきに対するしきい値感度が最小となるようなSOI膜厚を設定すれば、所望のしきい値を安定して得ることができる。従って、チャネル領域のSOI膜厚が、図2または図6に示したような最適膜厚となるように、チャネル中央付近と端部でのSOI膜厚の不均一性が例えば20%以内に収まるように、LOCOS酸化を行うと、所望のしきい値を得ることができる。

【0076】ここで、チャネル領域4の不純物濃度 N_A の測定箇所は、必ずしもMISFETのチャネル領域4そのものである必要はなく、MISFETのチャネル領域と同一の不純物濃度を有する領域であればよい。例えば、複数のMISFETを集積した集積素子を製造する際には、その集積素子のいずれかの箇所でも測定しても良い。また、ウェーハ上に複数の集積素子を作成する場合に、ウェーハ内での不純物濃度の均一性が良好であれば、ウェーハのいずれかの箇所でも測定しても良い。さらに、このようなウェーハを複数枚同時にプロセスする、いわゆる「バッチ処理」の製造プロセスにおいて、バッチ内のウェーハ毎の不純物濃度の変動が小さい場合には、バッチ毎にいずれかのウェーハで測定を行えば良い。

【0077】このようにして、チャネル領域4の不純物濃度を測定し、設定するしきい値にするためのバックゲート電圧を決定すれば、このしきい値でトランジスタを用いる限りバックゲート電圧を変更する必要はない。つまり、バックゲート電圧が決まった後は、制御回路は必ずしも必要としない。そのため、チャネル領域4の不純物濃度測定を行い、本発明に必要なバックゲート電圧を求めれば、バックゲートに印加する可変電源を必要な電圧を出力するよう設定するだけでよい。

【0078】ここで、チャネル領域4の不純物濃度の測定には、例えば、文献(“Materials Processing Theory and Practice volume. 2-impurity doping processes in silicon”: F.F.Y. Wang著, North Holland Publishing Company (1981))に紹介されているような測定手法を用いればよい。以下に、不純物濃度測定を含めた構成例を示す。

【0079】図9は、本発明の半導体装置の第2の具体例を表す概略断面図である。なお、同図においては、図1と同一の部分には、同一符号を付し、その詳しい説明は省略する。

【0080】図9において、4aはダミー領域、12は素子分離領域、13は高濃度半導体領域、18は電極領域、そして19はメタルプラグを示している。ダミー領

10

20

30

40

50

域4aは、チャネル領域と同一の条件で作成された半導体領域である。高濃度半導体領域13は、例えば、p型のドーパントが固溶限界までドーピングされた半導体領域である。

【0081】また、バックゲート11は、支持基板2内に形成された導電性領域であり、例えば支持基板2をp型Siとし、バックゲート11をn型Siとすることによって、それぞれ別の電圧が加えられるようにすることが望ましい。また、バックゲート11は、しきい値を制御するFETの直下に形成し、不純物濃度を測定するダミー領域4aの下には形成しない。これは、バックゲート11に印加する電圧によってダミー領域4aの空乏層厚さが変化するのを防ぐためである。

【0082】以下に、チャネル領域4の不純物濃度と膜厚を測定する方法について説明する。図9において、回路9、9aは制御回路で、回路9aでは固溶限界で形成された高濃度半導体領域13の抵抗を測定して、SOI膜厚を求め、回路9へ出力する。回路9ではダミー領域4aの両端の抵抗18-4a-18を測定し、回路9aより入力されたSOI膜厚データを用いてチャネル領域4の不純物濃度を求める。このようにして求めた不純物濃度より、所望のしきい値を得るために必要なバックゲート電圧の値を求め、電源10へ出力する。

【0083】図9の構成例では、トランジスタFET1のチャネル部分と同じ不純物添加を行ったダミー領域4aに接するように半導体層と同じ導電性をもつ例えばp+型の電極領域18を形成している。そして制御回路9では、電極領域18と18との間の抵抗を測定する。ここで、抵抗率 ρ は、抵抗をR、電極領域18の間隔をL、幅をW、そしてSOI膜厚を t_{Si} とすると、 $\rho = W \cdot t_{Si} \cdot R / L$ と表される。このようにして、抵抗率 ρ が得られれば、チャネル領域4の不純物濃度NAは、例えば、アービン曲線より求めることができる。

【0084】一方、SOI膜厚 t_{Si} については、高濃度半導体領域13から求めることができる。すなわち、図9に示したように、シリコン中にホウ素(B)などが固溶限界の濃度までドーピングされたp+型の高濃度半導体領域13において、この半導体領域13の抵抗を求める。この高濃度半導体領域13の抵抗から、抵抗率 ρ を求めることができ、さらに、不純物濃度は固溶度で定まる値となっているので、 t_{Si} とNAとを分解することができる。よって、高濃度半導体領域13における抵抗を測定することで半導体層の膜厚を求めることができる。

【0085】以上の手法により得られたSOI膜厚 t_{Si} を前述の式に代入することでチャネル領域4における不純物濃度NAを求めることができる。本構成例では、MISFET1を形成するのと同じプロセスでNA測定領域を形成できる。

【0086】ここで、回路9、回路10の具体例として、例えば、half-V_{dd}回路や基板バイアス回路な

どを挙げることができる。図10は、half-V_{dd}回路を用いた実施例を表す概略回路図である。V_{B2}は例えば、0Vとなる電圧であり、V_{B1}は例えばV_{DD}となる電圧であり、V_{B1}>V_{B2}となっている。図10の18-4-18の抵抗器は図9のダミー領域4aにおいて形成された抵抗測定装置18-4-18であり、R1はダミー領域4aが設定した不純物濃度で形成されたときの抵抗値と同じ抵抗値を有する抵抗器である。またトランジスタQ3、Q4はQ1、Q2よりも幅広く形成され、電流バッファとなっている。さらにR1および18-4-18のコンダクタンスはQ1またはQ2のトランスコンダクタンスよりも十分小さいとする。不純物濃度が変動したとき、18-4-18の抵抗が変化するため、抵抗分割によって、それにより出力される電圧も変化する。18-4-18抵抗が大きくなると出力は小さく、また18-4-18抵抗が小さくなるとノードV_oの電圧は大きくなる。この出力ノードV_oは電圧と等しくなるように、バックゲート11に接続されるノードの電圧V1が定まる。よって抵抗測定装置の抵抗の変化によりバックゲート電圧を変化することができる。ここで、SOI膜厚 t_{Si} の変化の影響は、V_{B1}を変化させることによって取り除くことができる。

【0087】また、図11(a)(b)は、基板バイアス回路による実施例を表す概略回路図である。すなわち、リング・オシレータ中に18-4-18抵抗器を設け、ダミー領域4aの不純物濃度が変化すると、抵抗が変わるためにリング・オシレータの周波数が変化する。この周波数変化によって、チャージポンプ回路の励起回数が増加し、バックゲートへ供給される電流が増加し、バックゲート電圧を変化させることができる。

【0088】次に、図9の半導体装置の製造工程について説明する。図12～図14は、図9の半導体装置の要部製造工程を表す工程断面図である。まず、図12に示したように、バックゲート11を形成する。具体的には、SOIウェーハ上にレジストマスク15を形成し、チャネル領域4と絶縁膜3を介してシリコンなどの支持基板2にホウ素などの不純物をイオン注入する。このようにして、例えば $1 \times 10^{17} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ の不純物濃度からなるp型のバックゲート11を形成することができる。

【0089】ここで、チャネル領域4、ダミー領域4aは、図1に関して前述したような方法により形成することができる。なお、ダミー領域4aチャネル領域4における不純物濃度を測定するための領域である。従って、製造工程においてはチャネル領域4と同時に同じ条件で作成することが望ましい。

【0090】次に、図13に示したように素子分離領域12を形成し、リソグラフィによりゲート長しからなるゲート電極を6、6aを形成する。さらに、ゲート電極の上に絶縁膜8、8aを形成する。

【0091】次に、図14に示したように、電極領域を形成する。具体的には、MISFETを形成する領域をレジストマスク15でマスクングし、例えばホウ素をゲート電極6の両脇にドーズ量 $10^{13} \sim 10^{16} \text{ cm}^{-2}$ でイオン注入することにより、p型の電極領域18を形成する。

【0092】この電極領域18を形成する工程は、p型MISFETのソース・ドレインを形成する時に同時に行うこともできる。つまり、ゲート電極の形成工程の後、例えばホウ素をイオン注入することによりゲート電極がマスクとなりp型の電極領域18とソース・ドレイン領域7とを同時に形成することができる。

【0093】さらに、電極領域18を形成した領域とは異なる領域に、例えばホウ素を半導体層の固溶限までイオン注入した高濃度半導体領域13を形成する(図14)。この高濃度半導体領域13は、先の電極領域18やソース・ドレイン領域7を形成するイオン注入により同時に形成することができる。つまり、ゲートを形成しない領域を設け、p型MISFETのソース・ドレイン領域の形成のためのイオン注入を実施する時、例えばホウ素をシリコンの固溶限の不純物濃度まで注入することにより高濃度半導体領域13も形成することができる。

【0094】次に、図9に示したようにバックゲート11へのコンタクト19を形成する。具体的には、素子分離領域12の上から、例えばイオンエッチングによりコンタクトホールを形成し、さらに例えばタングステン(W)などの電極材料を堆積することにより、メタルコンタクト19を形成することができる。このメタルコンタクト19を形成する工程は、図9に示した抵抗測定領域のメタルコンタクトや、ゲート・ソース・ドレイン電極への図示しないコンタクト形成と同時にすることもできる。これらのコンタクトホール形成する際に、シリコン酸化膜とシリコンのエッチングの選択比の大きいガスを用いてイオンエッチングすることにより、コンタクトホールの深さの異なる領域も同時にエッチングすることができる。次に、SOI膜厚 t_{Si} を求めるための別の構成例について説明する。

【0095】図15は、本発明の半導体装置の第3の具体例を表す概略断面図である。同図の構成においては、MISFETトランジスタ1とは別に、ダミー領域4bが形成され、そのダミー領域4bの上下にゲート電極6bとバックゲート11aとが設けられている。そして、これらの電極間のキャパシタンスの容量を測定する。ここでバックゲート11aは、バックゲートの表面半導体層に表面空乏化が生じないように充分、例えば 10^{18} cm^{-3} 以上に不純物添加することが望ましい。また、電極6bおよび電極11aは、ダミー領域4bが完全に空乏化し、その表面に反転層が生じないようにすることが望ましい。

【0096】このような条件で測定したキャパシタンス

C_{total} は、ゲート絶縁膜5、ダミー領域4b、および絶縁膜3のキャパシタンスを直列したものと等しい。従って、ゲート絶縁膜5およびダミー領域4b(すなわちチャネル領域4)の誘電率をそれぞれ ϵ_{OX} 、 ϵ_{Si} 、ゲート絶縁膜5、ダミー領域4b、絶縁膜3の膜厚をそれぞれ、 t_{OX} 、 t_{Si} 、 t_{box} とすると、キャパシタンスは

【0097】

【数12】

$$C_{total} = \frac{1}{\frac{1}{\frac{\epsilon_{Si}}{t_{Si}}} + \frac{1}{\frac{\epsilon_{OX}}{t_{OX}}} + \frac{1}{\frac{\epsilon_{OX}}{t_{box}}}}$$

であらわされる。よって、ゲート絶縁膜5の膜厚 t_{OX} と絶縁膜3の膜厚 t_{box} が求められ、ゲート絶縁膜5、および絶縁膜3のキャパシタンスが既知であればダミー領域4b(すなわちチャネル領域4)の膜厚 $t_{Si} = \epsilon_{Si} / C_{total} - \epsilon_{Si} (t_{OX} + t_{box}) / \epsilon_{OX}$ を算出することができる。

【0098】また、後に詳述する図18に表した半導体装置の図中の左側に形成したダミー素子を用いて t_{Si} を求めることもできる。すなわち、図18において、n+層16とバックゲート11bとの間の容量 C_{total} を測定する。ここで、10bの電圧源は、ゲート絶縁膜5bとSOI層4aとの界面とに反転層が形成されるだけ十分に電圧が印加されているとする。また、バックゲートに十分な電圧を印加することにより、ダミー領域4aのバックゲート側が空乏化するようにした条件では、測定容量 C_{total} は、

【0099】

【数13】

$$C_{total} = \frac{\frac{\epsilon_{Si}}{t_{Si}} \frac{\epsilon_{OX}}{t_{box}}}{\frac{\epsilon_{Si}}{t_{Si}} + \frac{\epsilon_{OX}}{t_{box}}}$$

で表される。よって、 t_{box} が既知であれば t_{Si} を算出できる。この方法によれば、 t_{ox} がばらついていても正確に t_{Si} を算出することができる。

【0100】また、抵抗率を求める方法としては、電圧電流端子を分離した4端子法を用いても良い。この方法の場合には、電極のコンタクト抵抗による誤差を低減できるという利点がある。

【0101】次に、図15に示した半導体装置の製造方法について説明する。図16、図17は、図15の半導体装置の要部製造工程を表す概略工程断面図である。MISFET、およびキャパシタンス容量を測定する領域の絶縁膜3を介して対抗する例えばシリコンからなる支持基板2の領域に、リソグラフィーと例えばホウ素をイオン注入することにより、例えば $1 \times 10^{18} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ の不純物濃度からなるp型バックゲート11、11aを形成する(図16)。ここで、チャネ

ル領域4、ダミー領域4bは、図1に関して前述したような製造工程により形成することができる。

【0102】次に、図17に示したように、素子分離領域12を形成し、さらにゲート絶縁膜5とゲート電極6を形成する。引き続き、図15に示したように電極領域18と、ソース・ドレイン領域7を形成する。これらの製造方法は、図9に関して前述したものと同様とすることができる。ここで、図15の具体例の場合は、ダミー領域4bの容量を測定するためにはゲート電極6b下の半導体層が十分空乏化すればよい。従って、電極領域18およびソース・ドレイン領域7を形成するイオン注入においても、ゲート電極6bがマスクの役割を果たすので、この領域をレジストなどでマスキングしなくとも良い。

【0103】次に、本発明の半導体装置の第4の具体例について説明する。図18は、本発明の半導体装置の第4の具体例を表す概略断面図である。すなわち、同図に表した半導体装置においては、MISFET1とは別に設けられたMISキャパシタのダミー素子を用いてC-V測定法により不純物濃度を求めることができる。FET1と素子分離領域12を介して隣接するダミー領域4aの上に絶縁膜5bが積層され、さらにMISキャパシタ電極として例えばp⁺型ポリシリコン（多結晶シリコン）6bが積層されている。

【0104】また、このMISキャパシタの下部に作成したバックゲート11にMISFETトランジスタに使う電圧源とは別の電圧源V_{G2}bを設ける。この電圧源V_{G2}bはダミー領域4aの絶縁膜3に接する表面の電子状態が蓄積するだけの電圧が印加される固定電源でよい。

【0105】このようなMISキャパシタを用いてC-V法により半導体の不純物濃度を求め、本発明を実現するのに必要なバックゲート電圧を決定することができる。キャパシタンス測定は、ダミー領域4aが完全に空乏化しない程度で固定のゲート電圧を印加し、そして、ゲート近傍に設けたn⁺型、p⁺型の半導体領域の電極を用いてキャパシタンス測定を行う。

【0106】この時の容量は、不純物濃度をN_Aとすると(N_A)^{1/2}に比例するため、容量からN_Aを求めることができる。

【0107】図19は、回路9c、10bの具体例を表す概略回路図である。同図に表した回路は、例えば、図11の回路と似ており、リング・オシレータにダミー素子のMISキャパシタによるキャパシタンスCが組み込まれている。ダミー領域4aの不純物濃度が変動するとキャパシタンスCが変化し、リング・オシレータの周波数が変化する。この周波数の変化によって、バックゲート電圧を変化することができる。

【0108】次に、図18の半導体装置の製造方法について説明する。図20、図21は、図18の半導体装置の要部製造工程を表す概略工程断面図である。まず、図

20に示したように、MISFETトランジスタを形成する領域に、例えば隣接する領域に、MISFETトランジスタとは別のバックゲート11bを形成する。次に、ゲート工程と同じ工程で、例えば、シリコン酸化膜からなるゲート絶縁膜5bおよび、n型ポリシリコンからなるゲート電極6bを作成し、これがMISキャパシタを形成する。これは、MISFET1のゲート形成工程と同時に形成しても良い（図20）。

【0109】次に、MISキャパシタのゲート電極近傍にn⁺型とp⁺型の半導体領域を形成する。具体的には、n型MISFET、p型MISFETのソース・ドレイン領域7の形成のためのイオン注入に際して、MISキャパシタ領域にはそれぞれ片側ずつイオン注入すればよい（図21）。

【0110】C-V法を用いた不純物濃度測定としては、pn接合により求める手法もある。図22は、pn接合により不純物濃度を測定するためのダミー素子を設けた半導体装置を例示する概略断面図である。すなわち、FET1と素子分離領域12を介して隣接するダミー領域4aの表面層に、n⁺型シリコン領域14を形成する。このようにして形成したpn接合を用いて、C-V法により不純物濃度を測定し、本発明を実現するのに必要なバックゲート電圧を決定することができる。ここで、ダミー領域4aに絶縁膜3を介して対向するバックゲート11cには、十分大きな負の電圧V_{G2a}を印加して、絶縁膜3に接した表面の電子状態を蓄積状態にする。

【0111】図23は、図22のダミー素子を含めた回路9d、10bの具体例を表す概略回路図である。図23の回路における容量Cは図22の電極6bで測定される容量である。図22に示したようなダミー領域のpn接合ダイオードのダイオードキャパシタンスは不純物濃度の変動によって変化する。このように容量Cが変化するとリング・オシレータの周波数が変化し、バックゲート電圧V_{G2}にフィードバックすることができる。ここで、容量Cが小さい場合にはポンプ周波数が上昇してV_{G2}が上昇する。もちろん、pn接合ではなく、例えばショットキー接合を用いてもよい。

【0112】次に、本発明の第5の具体例について説明する。図24は、本発明の第5の具体例に係わる半導体装置の概略断面図である。本実施形態においては、同一基板上に、2つ以上の異なるしきい値を有する完全空乏化トランジスタを設け、それぞれのトランジスタのしきい値が、膜厚バラツキに対してしきい値感度が最小で、かつ設定したしきい値となるようにする。

【0113】なお、図24に示した具体例では、説明の便宜上、チャネル領域4の膜厚や不純物濃度が異なる2つの完全空乏化トランジスタが並列している場合を示したが、絶縁体基板3上に形成されていればよく、必ずしも、同図に示した方向に隣接する必要はない。また、図

10

20

30

40

50

24において、図1と同一部分には、同一符号を付して、その詳しい説明は省略する。

【0114】本実施例は、同一基板上に少なくとも2つの異なるしきい値を有する完全空乏化トランジスタ1A、1Bを備えている。具体的に説明すると、例えばシリコンからなる支持基板2上のシリコン酸化膜などの絶縁膜3の上に、20nm~0.1 μ m程度の膜厚のSOI層、例えば、膜厚が80nmのチャネル領域4Aと、60nmのチャネル領域4Bとが形成されている。それぞれの不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の範囲にあり、例えば、それぞれ $1 \times 10^{17} \text{ cm}^{-3}$ と、 $1.6 \times 10^{17} \text{ cm}^{-3}$ という異なる不純物濃度 N_{AA} 、 N_{AB} を有する。MISFET1A、1Bを形成するSOI層と絶縁膜3を介して対向する支持基板2には、それぞれのMISFETに異なる電位を与えられるバックゲート11A、11Bが形成されている。また、チャネル領域4A、4Bのそれぞれの不純物濃度に応じたバックゲート電圧を設定する制御回路9A、9Bが設けられ、電極11A、11Bに印加する可変電源10A、10Bが設けられている。

【0115】ここで、図2に関して前述したモデルを用いて説明すると、図6に例示したように、SOI膜厚のバラツキに対するしきい値感度がほぼ最小で、かつしきい値が設定した値になるチャネル領域4の最適領域すなわち設計値は、しきい値により一義的に決まる。つまり、設定するしきい値が異なると、しきい値のSOI膜厚バラツキ感度を最小とするための半導体層の最適膜厚は異なる。

【0116】図6に示した計算結果を用いると、同一基板上にしきい値が0.1Vと0.2Vの2つのしきい値変動が極小となる完全空乏化トランジスタを形成する時、チャネル領域4は例えば、それぞれ膜厚80nm、60nm、不純物濃度 $1.0 \times 10^{17} \text{ cm}^{-3}$ 、 $1.6 \times 10^{17} \text{ cm}^{-3}$ で形成する必要があり、膜厚および不純物濃度を2つトランジスタで同じ値にすることはできない。すなわち、それぞれのトランジスタのSOI膜厚や不純物濃度を別々の値に設定することによって、SOI膜厚のばらつきなどに対してしきい値が変動しにくいトランジスタを実現することができる。従来のようにSOI膜厚が同一では、それぞれのトランジスタのしきい値感度を低減することは困難である。

【0117】FET1Aの設定しきい値がFET1Bの設定しきい値よりも小さい場合には、それぞれのしきい値感度を極小にするために、同一基板上において、FET1AのSOI膜厚(t_{SiA})が厚く不純物濃度(N_{AA})が低くチャネル領域4Aと、SOI膜厚(t_{SiB})が薄く不純物濃度(N_{AB})が大きいチャネル領域4Bとを形成することが望ましい。

【0118】また、このようにチャネル領域の厚さや不純物濃度が異なる複数の領域に対応して、それぞれの領

域に独立に電位を設定することができるバックゲート電極および図示しないダミー素子を設けることが望ましい。すなわち、これらのダミー素子を用いてそれぞれのチャネル領域の不純物濃度や層厚を測定し、その測定結果をフィードバックして、それぞれのFETに所定のバックゲート電圧を印加することにより、それぞれのFETのしきい値を所望の値に調節することができる。このためのダミー素子は、例えば、図9、図15、図18、或いは図22などに例示したものをを用いることができる。さらに、測定のための回路やバックゲート電圧の印加回路も、本願明細書において例示した種々のものをを用いることができる。

【0119】さらに、n型MISFETとp型MISFETを同一基板上に形成する場合にも、本実施例を用いることができる。つまり、図24に示したFET1Aとして、例えば、n型MISFETを用い、FET1Bとして、例えばp型MISFETを用いればよい。通常、ゲート電極と基板との仕事関数の差やゲート絶縁膜界面の電荷は、n型MISFETとp型MISFETで異なるため、そのフラットバンド電圧の絶対値 $|V_{FB}|$ も異なる。このため、たとえ同じしきい値を設定しても、n型MISFETとp型MISFETのそれぞれに対し、SOI膜厚変動に対するしきい値感度を最小にするためのSOI膜厚も異なる。すなわち、図24に例示したように、それぞれのトランジスタFET1AおよびFET1Bで最適なSOI膜厚を用いることで、しきい値感度を小さく保つことができる。

【0120】次に、図24の半導体装置の製造方法について説明する。図25は、図24の半導体装置の要部製造工程を表す概略工程断面図である。本構造の形成に際しては、図25(a)に示したように、SOI基板に対して、リソグラフィとイオン注入によって、バックゲート11A、11Bを、それぞれのMISFETに対し別の電位を与えられるように形成する。絶縁膜3の上のSOI層をポリッシングやドライエッチング、あるいはウェットエッチングにより薄膜化し、例えば80nmの膜厚で、またホウ素(B)などをイオン注入することにより、例えば $1 \times 10^{17} \text{ cm}^{-3}$ の不純物濃度のSOI層4を形成する。次に、レジストマスク15を形成して、エッチングすることにより、例えば、60nmの膜厚からなるチャネル領域4Bを形成する。引き続き、チャネル領域4Bに、例えばホウ素(B)をイオン注入して、この領域の不純物濃度 N_{AB} を例えば、 $1.6 \times 10^{17} \text{ cm}^{-3}$ とする。

【0121】そして、図示しないゲート工程以降の工程を行うことにより、同一の基板上に完全空乏化トランジスタFET1A、FET1Bを形成することができる。また、それぞれのチャネル領域に対応して、図示しないダミー素子を適宜形成する。さらに、MISFETを形成するSOI層の不純物濃度に応じてバックゲート電圧

を制御する回路9A、9Bを設け、各々バックゲート11A、11Bに印加する可変電源10A、10Bなどを設置して半導体装置が完成する。

【0122】次に、本発明の第6の具体例について説明する。

【0123】図26は、本発明の第6の具体例に係わる半導体装置の概略断面図である。本具体例においては、薄いSOI層にFET1を形成し、厚いSOI層に不純物濃度を測定するためのダミー素子を形成することを特徴とする。

【0124】このダミー素子はpn接合を有し、C-V法を用いて不純物濃度を測定できるものであり、その構造及び測定の方法の詳細は、図22に関して前述したものと同様とすることができる。膜厚の薄いSOI層にpn接合を形成する際には、その接合位置の制御は容易でなく、イオン注入するりん(P)や砒素(As)の突き抜けなどによってp型層が失われるおそれがあり、また、p型層の空乏層がバックゲート領域まで延びNaを測定できなくなるおそれがある。これに対して、本具体例によれば、SOI層の膜厚を厚くした領域でpn接合を形成することができるので、その形成がはるかに容易となり、p型層の領域が確保できるなどの利点がある。

【0125】その製造工程について概説すると以下の如くである。まず、例えば膜厚が80nmで不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ のp型シリコン層からなるSOI層を形成する。次に、パターニングとエッチングにより、トランジスタを形成する部分のSOI層の膜厚を例えば60nmとする。次に、これらのSOI層の不純物濃度が例えば、 $1.6 \times 10^{17} \text{ cm}^{-3}$ となるようにホウ素

(B)などをイオン注入する。さらに、MISFETを形成する領域に、ゲート工程以降の工程を行う。

【0126】次に、図27に示したように、ダミー素子を形成する領域に例えばリン(P)をイオン注入することによりpn接合を形成する。このイオン注入工程は、n型MISFETのソース・ドレイン領域7の形成工程と兼ねることも可能である。ここで、図24や図26に例示したように膜厚が異なるSOI領域を方法としては、LOCOS(Local Oxidation of Silicon)犠牲酸化によることもできる。図28は、LOCOS犠牲酸化によるリセス(Recess)構造を用いることにより膜厚の薄いSOI領域を形成する技術の説明する工程断面図である。この方法においては、まず、SOI層4aの上にシリコン酸化膜14を形成し、その全面に例えば、シリコン窒化膜からなる膜20を堆積する。そして、図28(a)に示したように、薄膜化したいチャネル領域においてシリコン窒化膜20を開口する。そして、開口した領域のSOI層にイオン注入し、熱処理を施すことにより所定の不純物濃度とする。

【0127】次に、図28(b)に示したように、開口した領域のSOI層の膜厚が所定の厚さに低下するま

で、表面層を熱酸化する。そして、シリコン窒化膜20、シリコン酸化膜14を剥離することにより、膜厚が薄く、所定の不純物濃度を有するSOI領域を形成することができる。この後は、図示しないゲート形成工程以降の工程を実施することにより、半導体装置を完成することができる。

【0128】ここでは、SOI層のチャネル部の薄膜化についてLOCOS犠牲酸化によるリセス構造について説明した。しかし、この他にも、図29に示すように、チャネル領域のSOI層をリソグラフィとエッチングにより薄膜化するコーンケープ(concave)構造により形成してもよい。

【0129】次に、本発明の第7の具体例について説明する。前述した各具体例では、所望のしきい値を有し且つプロセスのばらつきによるしきい値の変動を低減するために、完全空乏化トランジスタを形成する基板と同一基板上に、不純物濃度またはキャリア濃度を測定する測定用ダミー素子と、測定用ダミー素子により測定した不純物濃度またはキャリア濃度に応じてバックゲート電圧を設定する制御回路を設ける技術について説明した。これに対して、本具体例では、あらかじめ測定用ダミー素子で不純物濃度またはキャリア濃度を測定し、その値を記憶させた記憶素子を設けた半導体装置を実現する。

【0130】図30は、本具体例に係わる半導体装置の要部断面図である。また、図31は、本具体例における各構成要素の関連を説明する機能ブロック図である。同図においては、前述した各具体例と同一部分には同一記号を付して、その詳細な説明は省略する。本具体例においても、所望のしきい値に対し、しきい値感度が低減されるように設定されたSOI膜厚と、不純物濃度またはキャリア濃度(例えば、図6)を有するチャネル領域4とバックゲート11からなる完全空乏化トランジスタFET1が設けられている。さらに、本具体例においては、バックゲート11に印加するバックゲート電圧を設定するための、不純物濃度またはキャリア濃度の情報を記憶する記憶素子を有する。この記憶素子は、例えば、ポリシリコンやアモルファスシリコンやアルミニウム(AI)や銅(Cu)、あるいは白金シリサイド(PtSi)やチタンシリサイド(TiSi)などからなる配線層で形成されたヒューズF1、F2、F3を有することを特徴とする。

【0131】図32～34は、図30の半導体装置の製造工程を説明するための断面図である。すなわち、本具体例においても、図32に示したように、製造工程の途中では測定用ダミー素子を設ける。このダミー素子は、図9に示したように、SOI層の抵抗率 ρ から不純物濃度またはキャリア濃度を測定するものである。

【0132】次に、図33に示したように、測定用ダミー素子を用いて、チャネル領域4の不純物濃度またはキャリア濃度を測定する。そして、この測定値に基づい

10

20

30

40

50

て、所望のしきい値に要するバックゲート電圧を決定し、記憶素子に記憶する。すなわち、ヒューズを切断して、必要なバックゲート電圧を作成する。ここで、測定用ダミー素子はFET1のそれぞれについて形成されている必要は必ずしもない。例えば、共通するしきい値を有する複数のFETについて1つの測定用ダミー素子を形成することにより、素子面積を減らすことができる。さらに具体的には、複数のFETが形成された集積回路を有する半導体装置について1つの測定用ダミー素子を設けても良く、または、このような半導体装置が複数個形成されるウェーハについて1つの測定用ダミー素子を設けても良い。さらに、これらのウェーハが複数枚バッチ処理される場合に、ウェーハ間のばらつきが小さければ、いずれかのウェーハのみに測定用ダミー素子を設けても良い。

【0133】一旦、チャネル領域4の不純物濃度またはキャリア濃度が測定され、図6に示したような関係に基づいて必要なバックゲート電圧が決定されると、測定用ダミー素子は不要となる。そこで、図34に示すように、チップ化するための例えば、ダイシング工程において、FET1と測定用ダミー素子とを分離することができる。

【0134】本具体例によれば、不純物濃度またはキャリア濃度を測定するための回路を最終的に得られるチップ上に形成する必要がなく、はるかに小さなサイズの記憶素子に記憶させればよい。よって、高集積化およびチップ面積の縮小を図ることができる。また、不純物濃度またはキャリア濃度測定回路が不要となるために、より低消費電力化を図ることもできる。

【0135】ここで、チャネル領域の不純物濃度またはキャリア濃度の測定は、図32に示した測定用ダミー素子に限らず、前述した各具体例にて説明したいずれの手法も同様に用いることができる。

【0136】また、本具体例は、図24に例示したような複数の異なるFETが形成されてなる半導体装置についても適用することができる。すなわち、チャネル領域の層厚や不純物濃度などが異なる複数の種類のMISFETが形成されている場合に、それぞれの種類のFET毎に記憶素子を設けることにより、ダミー素子の測定結果をフィードバックして最適なバックゲート電圧を印加することができる。

【0137】次に、本具体例で使用するバイアス回路の具体的な構成を例示する。

【0138】図35～図40は、本具体例で用いることができる記憶素子を含んだバイアス回路の構成例を表す。

【0139】図35は、チャネル領域4の不純物濃度またはキャリア濃度のばらつく範囲をあらかじめ予測し、それぞれの予測値に対応した最適なバックゲート電圧を、例えば V_{G1} 、 V_{G2} 、 V_{G3} 、と設けておいて、必要に

応じて記憶素子のヒューズを切断する例である。

【0140】図6のSOI膜厚と不純物濃度との関係のグラフを用いて具体的に説明する。まず、所望のしきい値を0.2Vとし、不純物濃度が例えば、 $1.2 \times 10^{17} \text{ cm}^{-3} \sim 1.8 \times 10^{17} \text{ cm}^{-3}$ までの範囲内であればよくとする。この時、バックゲート電圧の供給電源として例えば、 V_{G1} 、 V_{G2} 、 V_{G3} として-1、0、1Vを設けておく。次に、ダミー素子を用いてチャネル領域4の不純物濃度の測定を行い、その測定値が $1.2 \times 10^{17} \text{ cm}^{-3} \sim 1.4 \times 10^{17} \text{ cm}^{-3}$ の時は、記憶素子のF1を非切断とし、F2とF3を切断することによりバックゲート電圧として $V_{G1} = -1 \text{ V}$ を印加する。また、測定値が $1.4 \times 10^{17} \text{ cm}^{-3} \sim 1.6 \times 10^{17} \text{ cm}^{-3}$ の時は、F2を非切断とし、F1とF3を切断することによりバックゲート電圧として $V_{G2} = 0 \text{ V}$ を印加する。さらに、測定値が $1.6 \times 10^{17} \text{ cm}^{-3} \sim 1.8 \times 10^{17} \text{ cm}^{-3}$ の時は、F3を非切断とし、F1とF2を切断することによりバックゲート電圧として $V_{G3} = 1 \text{ V}$ を印加するようにヒューズを各々切断する。このようにすれば、測定値に基づいて、所望の範囲内のバックゲート電圧を印加することが可能となり、所望のしきい値に近いしきい値を得ることができる。

【0141】図36は、図35の電源 $V_{G1} \sim V_{G3}$ を、昇降圧回路に置き換えた例である。このようにすれば、従来から用いられている電源電圧を基にして適宜、所定のバックゲート電圧に昇圧または降圧することができる点で便利である。

【0142】図37は、例えば、電源電圧である $V_{cc} = 3 \text{ V}$ から $V_{ss} = 0 \text{ V}$ までの、 $V_{cc} \sim V_{ss}$ の電圧範囲内で適宜分圧して、バックゲート電圧として用いる例である。例えば抵抗Rからなる抵抗器を直列に接続し、それぞれの端子にて電圧が抽出できるようにヒューズを配線する。そして、バックゲート電圧印加の際には、例えばヒューズF2を非切断、F1、F3を切断することで $2/3 V_{cc}$ 、またF3を非切断、F1、F2を切断することで $1/3 V_{cc}$ 、そして例えば全てのヒューズを非切断することで V_{cc} の電圧をバックゲートに印加することができる。図37では抵抗器を3つ設けたが、複数個であればよく、より多くの抵抗器を設ければ、より細かく分圧されることになり、所望のしきい値に近い値を得ることができる。また電圧の範囲は、 $V_{cc} \sim V_{ss}$ の範囲に限らず、昇降圧回路を用いることで範囲を変えることも可能である。

【0143】図38は、図37の変形例であり、2つの抵抗器と1つのヒューズとからなるセルをn個用いることで、例えば $V_{cc} \sim V_{ss}$ までの電圧の範囲を分割することができる回路例である。

【0144】また、図37のように、抵抗器の出力を直接基板バイアスノードに加える他に、図39に示したように、制御入力によって出力電圧が変化する可変電源に

10

20

30

40

50

抵抗器出力を接続してもよい。このようにすることにより、抵抗器に流す電流を小さくしても大きな基板バイアス出力電流が得られるという利点がある。

【0145】さらに図40のように、複数のチャージポンプ回路を縦続接続し、基板バイアス電圧を記憶素子のヒューズF1～F3の状態によって切り替えるようにしても良い。ここでトランジスタのしきい値を V_t とすると、F1、F2、F3が非切断の時、基板バイアス電源出力の開放電圧は $-3V_{cc}+4V_t$ 、F1、F2非切断、F3切断の時、 $-2V_{cc}+4V_t$ 、F1非切断、F2、F3切断の時 $-V_{cc}+4V_t$ の出力を得ることができる。

【0146】本具体例において用いる記憶素子としては、上述したようなヒューズを切断する方法の他にも、例えば、浮遊ゲート電極に電荷を蓄積する方法や、強誘電体を分極させて記憶させる方法、さらには、金属またはシリサイドにはさまれた薄い半導体または絶縁体の絶縁破壊によって記憶させる方法、いわゆるアンチヒューズを用いてもよい。

【0147】以上、具体例を例示しつつ本発明の実施の形態について説明した。しかし、本発明は、上述した各具体例に限定されるものではない。

【0148】例えば、絶縁膜の形成法としては、熱酸化による酸化膜形成法や、30keV程度の低加速エネルギーで酸素を注入した酸化膜を形成する方法としてもよいし、シリコン酸化膜を堆積する方法や、シリコン窒化膜を堆積する方法、またはこれらを組み合わせた方法でもよい。また、シリコンをシリコン酸化膜やシリコン窒化膜に変換するこれら以外の方法、例えば酸素イオンを堆積したシリコンに注入する方法や、堆積したシリコンを酸化する方法を用いてもかまわない。また、これらの絶縁膜に、シリコン窒化膜その他タンタル酸化膜、チタン酸化膜、チタン酸ストロンチウムやチタン酸バリウム、チタン酸ジルコニウム鉛などの強誘電体膜、常誘電体膜の単層膜またはそれらの複合膜を用いることもできる。

【0149】また、上述した具体例においては特に言及していないが、素子分離としては、トレンチ分離の素子分離や、LOCOS素子分離膜や、リセス型(Recessed)LOCOSや改良LOCOS法やフィールドシールド分離を用いてもよいし、これらを組み合わせてもよい。

【0150】さらに、上述した各具体例では、SOI層としてp型Siを用いたが、代わりにn型SiやGaAs、InPを用いてもよい。また、n型MISFETではなくp型MISFETに適用してもよく、その場合、上述の実施例のn型をp型、p型をn型と読み替え、さらに、ドーピング不純物種のAs、P、SbなどをIn、Bなどのいずれかと読み替え、イオン注入の場合にもAs、P、SbをIn、B、BF2のいずれかと読み

替えればよい。

【0151】さらに、ゲート電極は、多結晶シリコン以外の単結晶シリコン、ポーラス(多孔質)シリコン、アモルファスシリコン、SiGe混晶、SiC混晶、GaAs、W、Ta、Ti、Hf、Co、Pt、Pdの金属あるいはシリサイドを用いることもできる。さらに、これらの積層構造としても良い。

【0152】その他、本発明の趣旨を逸脱しない範囲で種々に変形して実施することができる。

【0153】

【発明の効果】本発明は、以上説明した形態で実施され、以下に説明する効果を奏する。

【0154】まず、本発明によれば、完全空乏化トランジスタで問題となるSOI膜厚や不純物濃度のバラツキに対するしきい値感度をほぼ最小に保ったままで、かつしきい値を所望の値にすることが可能である。

【0155】また、本発明によれば、例えば集積回路を形成した場合に、不純物濃度のばらつきを補正し、従来例よりもSOI膜厚ばらつきに対するしきい値感度が小さいので、より、特性が均一な素子を集積できる。

【0156】一方、MOS論理回路では、トランジスタのしきい値が高くなると、電流駆動能力が落ち遅延時間が長くなる一方、しきい値が低くなると、off時のサブスレッショルドリーク電流が大きくなる。よって、本発明によれば、より遅延時間や消費電力のばらつきを小さく保つことができる。

【0157】また、遅延時間はしきい値 V_{th} に対し、電源電圧を V_{DD} として $(V_{DD}-V_{th})-\alpha$ (α は1以上の正の数)に比例する。よって、遅延時間を V_{th} のばらつき分だけ低下させることができ、より遅延時間が同じでも低電圧動作させることができる。よって、低電圧動作させることによって、より例えばゲート絶縁膜の電源電圧に対する信頼性を向上させ、ゲート充放電の消費電力を小さくすることができる。

【0158】また、本発明によれば、LOCOS犠牲酸化によるリセスゲート構造を形成した場合においても、所望のしきい値でSOI膜厚のばらつきに対してしきい値感度が最小となるようなSOI膜厚を設定することにより、このSOI膜厚付近でのしきい値の変動が最小化されるため、所望のしきい値を得ることができる。

【0159】また、ベアトランジスタ間のしきい値のばらつきをより抑えられるので、例えばカレントミラー回路や交差結合型センスアンプをより精度よく対称に実現することができ、より電流源の精度やセンスアンプの感度を増大することができる。さらに、本発明によれば、2つ以上のしきい値を持つMISFETを集積した半導体回路に対し、SOI膜厚ばらつきに対するしきい値感度をそれぞれの素子に対して極小とすることができる。これはCMOS回路においても、n型MISFET、p型MISFETの所望のしきい値に応じたSOI膜厚で

形成された完全空乏化MISFETでは、それぞれのMISFETにおいて、SOI膜厚バラツキに起因するしきい値感度は最小になる。これは従来の単一なSOI膜厚を有するFD-SOI MISFETでは困難である。よって、複数のしきい値を有するトランジスタやCMOS回路を用いた論理回路において、SOI膜厚がばらついていても、各々所望のしきい値で、しきい値感度をほぼ最小に保つことができる。また、本発明によれば、不純物濃度に応じたバックゲート電圧制御回路はhalf-V_{dd}回路や、基板バイアス回路を応用することにより、同一基板上に形成することも可能である。

【0160】また、本発明においてMISFETを形成する半導体層の不純物濃度を抵抗を測定することから求める手法は、キャパシタンスの容量を測定する手法により低電圧で行うことができ、そしてゲート酸化膜耐圧による印加電圧の限界に問題はないという利点を有する。一方、キャパシタンスの容量測定より不純物濃度を求める手法では、抵抗測定による手法より感度が高く、消費電力を小さくすることが可能であるという利点を有する。

【0161】さらに、本発明のダミー素子の製造に際しては、MISFETに用いるゲートをそのまま用いることもできるため、従来の半導体装置の工程数で同一基板上に不純物濃度測定のためのダミー素子を形成することができる。

【0162】また、本発明によれば、薄いSOI膜厚からなる半導体層の不純物濃度測定のためのダミー素子を、厚いSOI膜厚からなる半導体層領域に形成することにより、ダミー素子のpn接合形成のための膜厚マージンを確保することができる。そして、例えば、p型半導体層にイオン注入によりn型層を形成しpn接合領域を形成するとき、n型MISFETにおけるソース・ドレイン電極領域形成のイオン注入と同時に行うことで、リソグラフィ工程を現状のままで、pn接合領域を形成することが可能である。

【0163】以上説明したように、本発明によれば、完全空乏化トランジスタを有する半導体装置において、SOI膜厚や不純物濃度のばらつきに対するしきい値感度をほぼ最小に保ったままで、しきい値を所望する値にすることができ、産業上のメリットは多大である。

【図面の簡単な説明】

【図1】本発明の第1の具体例に係わる半導体装置を表す要部断面図である。

【図2】本発明者の計算により得られた完全空乏化FETのSOI層としきい値との関係を表すグラフ図である。

【図3】式(2)～(5)により、チャネル領域4の不純物濃度 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ 、SOI膜厚 $t_{\text{Si}} = 60 \text{ nm}$ 、 $\Phi_{\text{MS1}} = -1 \text{ V}$ 、 $Q_{\text{OX1}} = Q_{\text{OX2}} = 0$ の場合について計算したバックゲート電圧に対するしきい値の関

係を表したグラフである。

【図4】チャネル領域4の不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ としたときの、式(2)～(5)の古典論モデルを用いて計算したしきい値のチャネル領域4のSOI膜厚の依存性を示したグラフである。

【図5】表面量子化補正を説明するためのバンド図である。

【図6】図2と同一のFETのモデルにおいて、図2でしきい値が極小となるチャネル領域4のSOI膜厚 t_{Si} と印加するバックゲート電圧 V_{G2} とを、チャネル領域4の不純物濃度 N_A に対して示したグラフである。

【図7】LOCOS犠牲酸化などの方法により形成されたりセス(Recess)ゲート構造を有するMISFETを表す断面図である。

【図8】LOCOS犠牲酸化法によるリセス型ゲート構造の製造工程を表す概略工程断面図である。

【図9】本発明の半導体装置の第2の具体例を表す概略断面図である。

【図10】half-V_{dd}回路を用いた実施例を表す概略回路図である。

【図11】基板バイアス回路による実施例を表す概略回路図である。

【図12】図9の半導体装置の要部製造工程を表す工程断面図である。

【図13】図9の半導体装置の要部製造工程を表す工程断面図である。

【図14】図9の半導体装置の要部製造工程を表す工程断面図である。

【図15】本発明の半導体装置の第3の具体例を表す概略断面図である。

【図16】図15の半導体装置の要部製造工程を表す概略工程断面図である。

【図17】図15の半導体装置の要部製造工程を表す概略工程断面図である。

【図18】本発明の半導体装置の第4の具体例を表す概略断面図である。

【図19】回路9c、10bの具体例を表す概略回路図である。

【図20】図18の半導体装置の要部製造工程を表す概略工程断面図である。

【図21】図18の半導体装置の要部製造工程を表す概略工程断面図である。

【図22】pn接合により不純物濃度を測定するためのダミー素子を設けた半導体装置を例示する概略断面図である。

【図23】図22のダミー素子を含めた回路9d、10bの具体例を表す概略回路図である。

【図24】本発明の第5の具体例に係わる半導体装置の概略断面図である。

【図25】図24の半導体装置の要部製造工程を表す概略工程断面図である。

略工程断面図である。

【図26】本発明の第6の具体例に係わる半導体装置の概略断面図である。

【図27】リン(P)をイオン注入する工程を表す概略断面図である。

【図28】LOCOS犠牲酸化によるリセス(Recess)構造を用いることにより膜厚の薄いSOI領域を形成する技術の説明する工程断面図である。

【図29】コーンケープ(concave)構造を表す概略断面図である。

【図30】第7具体例に係わる半導体装置の要部断面図である。

【図31】第7具体例における各構成要素の関連を説明する機能ブロック図である。

【図32】図30の半導体装置の製造工程を説明するための断面図である。

【図33】図30の半導体装置の製造工程を説明するための断面図である。

【図34】図30の半導体装置の製造工程を説明するための断面図である。

【図35】第7具体例で用いることができる記憶素子を含んだバイアス回路の構成例を表す。

【図36】第7具体例で用いることができる記憶素子を含んだバイアス回路の構成例を表す。

【図37】第7具体例で用いることができる記憶素子を

含んだバイアス回路の構成例を表す。

【図38】第7具体例で用いることができる記憶素子を含んだバイアス回路の構成例を表す。

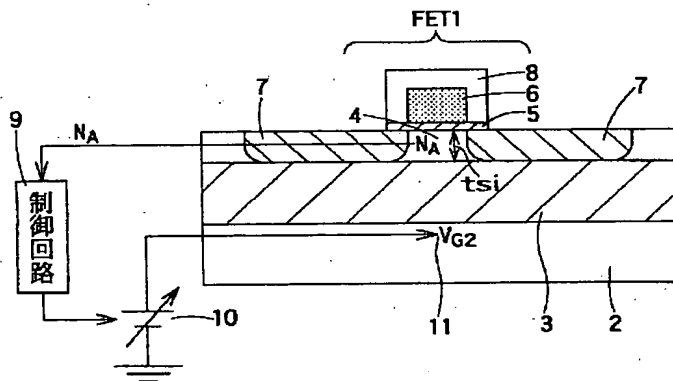
【図39】第7具体例で用いることができる記憶素子を含んだバイアス回路の構成例を表す。

【図40】第7具体例で用いることができる記憶素子を含んだバイアス回路の構成例を表す。

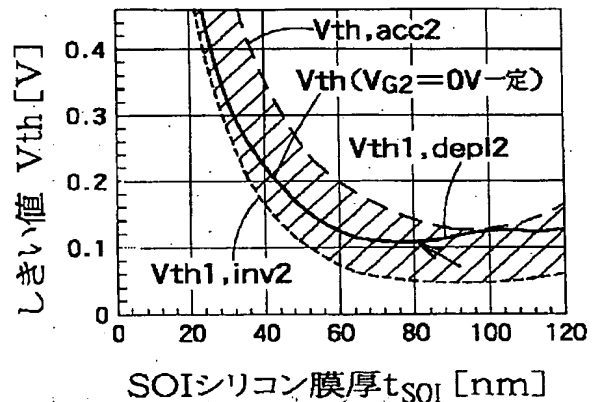
【符号の説明】

- 1 完全空乏化トランジスタ
- 2 導電性支持基板
- 3 絶縁膜
- 4 チャネル領域
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 ソース・ドレイン電極
- 8, 14 絶縁膜
- 9 制御回路
- 10 可変電源(電圧制御電圧源)
- 11 バックゲート
- 12 素子分離領域
- 13 半導体層領域
- 15 レジスト
- 18 電極
- 19 メタルプラグ
- F1~F3 ヒューズ

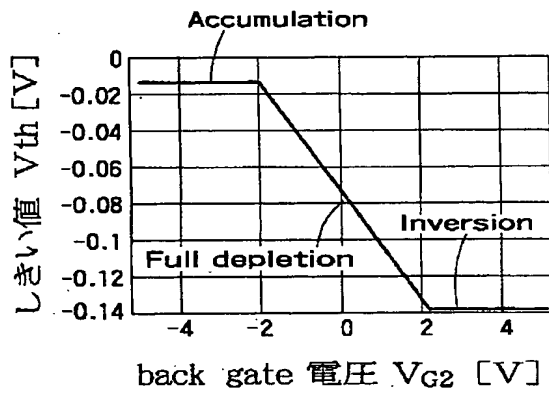
【図1】



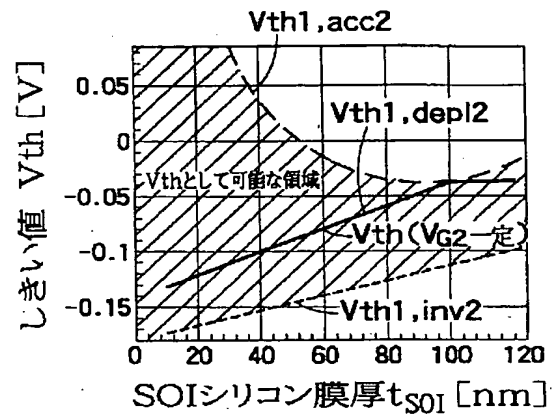
【図2】



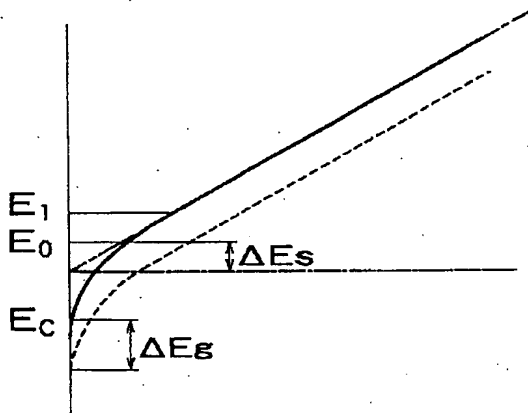
【図3】



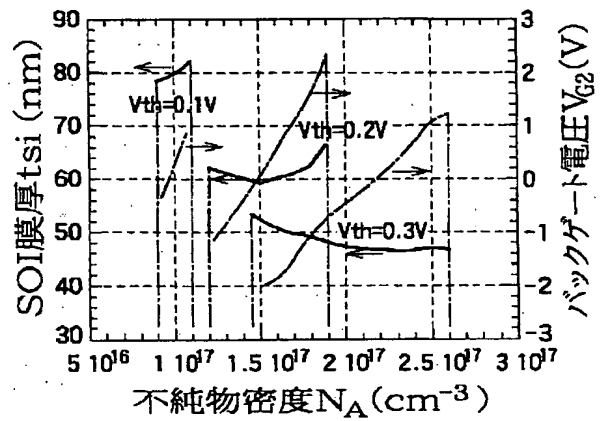
【図4】



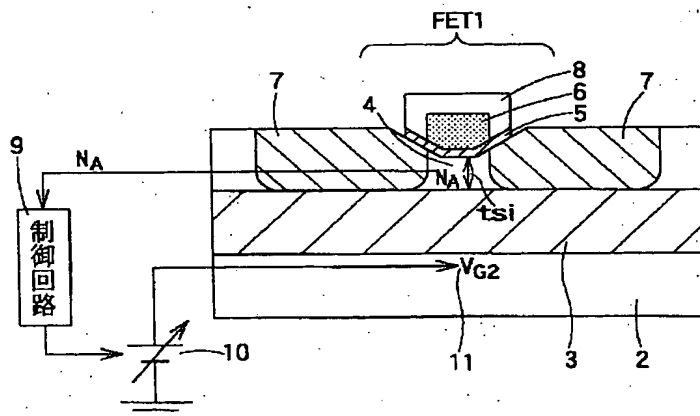
【図5】



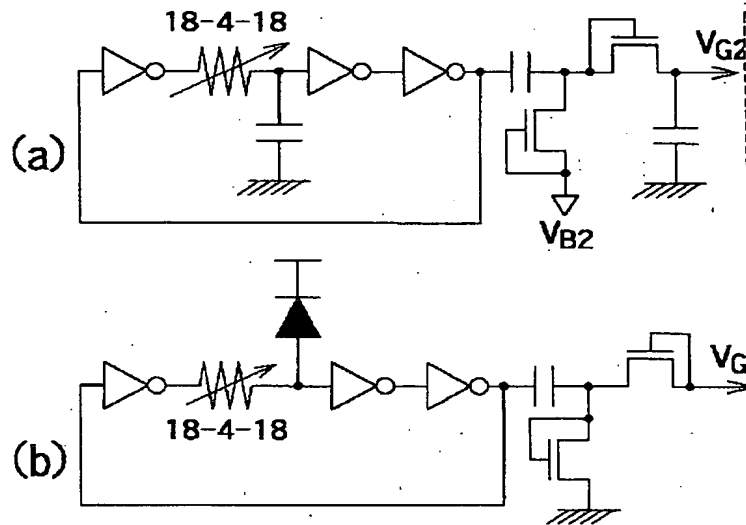
【図6】



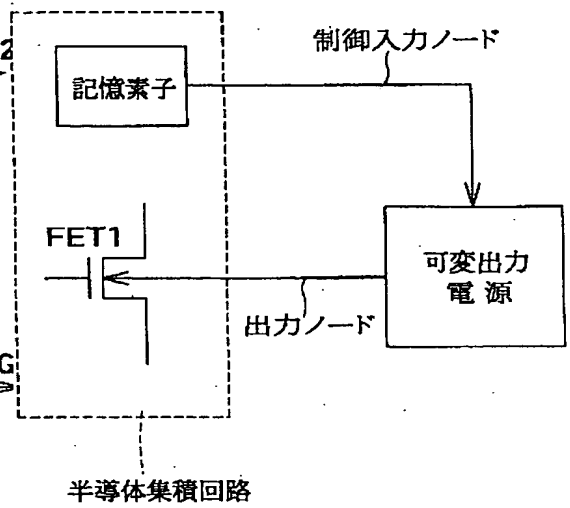
【図7】



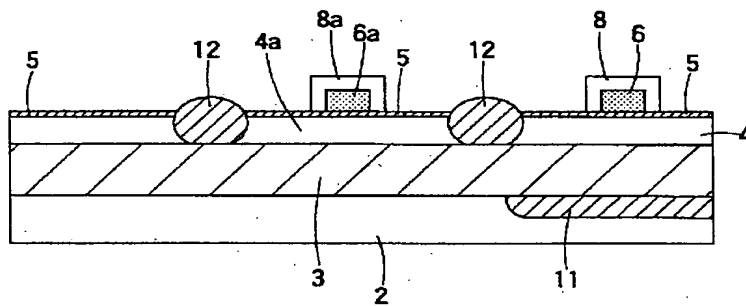
【図11】



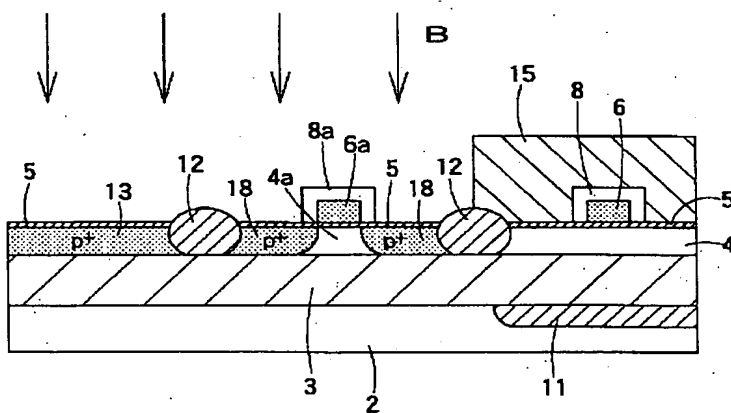
【図31】



【図13】



【図14】



[illegible]

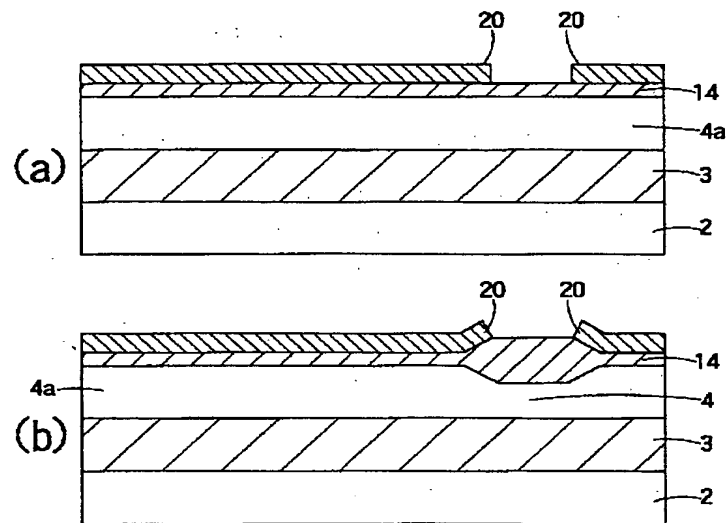
This diagram shows a cross-sectional view of a semiconductor device. A central bump (12) is formed on a substrate (11). The bump is surrounded by a layer (15). On either side of the bump, there is a contact structure. The left contact structure includes a layer (16) with a central region (5b) and a surrounding region (6b). The right contact structure includes a layer (7) with a central region (4) and a surrounding region (6). The central region (4) is labeled 'tsi' and the surrounding region (6) is labeled 'Na'. The substrate (11) is divided into two parts: 11b on the left and 11 on the right. The bump (12) is labeled '7' on its right side. The layer (15) is labeled '15' at the top. The contact structures are labeled '8b' and '8' respectively. The regions (5b) and (4) are labeled 'tsi' and the regions (6b) and (6) are labeled 'Na'.

[illegible]

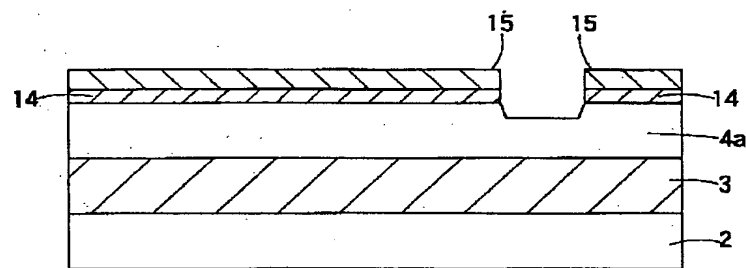
[illegible]

This cross-sectional diagram illustrates a semiconductor device with two FETs, FET1a and FET1, and a central channel region. The device is built on a substrate 2. A base layer 3 is present. A central channel region 4 is defined by a trench 7. The channel region 4 is doped with n+ and has a thickness tsi. The channel region 4 is flanked by two FETs, FET1a and FET1. FET1a is on the left, and FET1 is on the right. Both FETs have a gate stack 12 and a source/drain region 5. The source/drain region 5 is doped with Na and has a thickness tsi. The gate stack 12 is composed of layers 8a, 6a, and 4a. The channel region 4 is flanked by two FETs, FET1a and FET1. FET1a is on the left, and FET1 is on the right. Both FETs have a gate stack 12 and a source/drain region 5. The source/drain region 5 is doped with Na and has a thickness tsi. The gate stack 12 is composed of layers 8a, 6a, and 4a. The channel region 4 is flanked by two FETs, FET1a and FET1. FET1a is on the left, and FET1 is on the right. Both FETs have a gate stack 12 and a source/drain region 5. The source/drain region 5 is doped with Na and has a thickness tsi. The gate stack 12 is composed of layers 8a, 6a, and 4a.

【図28】



【図29】



【図30】

F1, F2, F3: ヒューズ

